

#4
2-1301

35.C14507

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

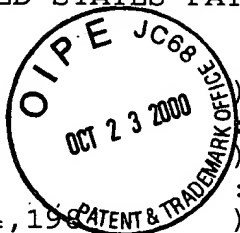
In re Application of:

SEIJI HASHIMOTO, ET AL.

Application No.: 09/584,198

Filed: May 31, 2000

For: IMAGE PICKUP APPARATUS



Examiner: Not Assigned

Group Art Unit: 2712

October 23, 2000
(Monday)

Box Missing Parts
Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

Sir:

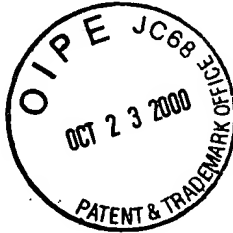
Applicant hereby claims priority under the International Convention and all rights to which he is entitled under 35 U.S.C.

§ 119 based upon the following Japanese Priority Applications:

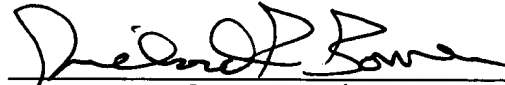
JAPAN	11-151615	May 31, 1999
JAPAN	11-171136	June 17, 1999
JAPAN	11-206515	July 21, 1999
JAPAN	11-206516	July 21, 1999
JAPAN	2000-106782	April 7, 2000.

Certified copies of the priority documents are enclosed.

Applicants' undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our address given below.



Respectfully submitted,



Attorney for Applicants

Registration No. 31,528

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

RPB\cmv

日本国特許庁 *Seiji Hashimoto, et al.*
PATENT OFFICE
JAPANESE GOVERNMENT

C.F. 014507
09/584,198
5-31-00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

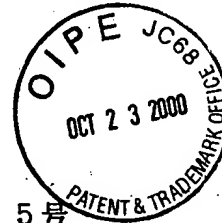
1999年 7月21日

出願番号
Application Number:

平成11年特許願第206515号

出願人
Applicant(s):

キヤノン株式会社

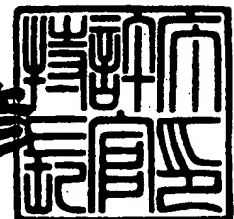


CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 6月23日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



【書類名】 特許願

【整理番号】 3976001

【提出日】 平成11年 7月21日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明の名称】 カラー撮像装置および撮像システム

【請求項の数】 13

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 橋本 誠二

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

 【電話番号】 03-3431-1831

【手数料の表示】

 【予納台帳番号】 010700

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9703871

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 カラー撮像装置および撮像システム

【特許請求の範囲】

【請求項 1】 複数色の信号を複数の画素から読み出す読み出し手段と、該複数色の信号を色毎に加算し、線順次で出力させる駆動手段とを有することを特徴とするカラー撮像装置。

【請求項 2】 複数の色信号を出力する複数の画素を有する画素部と、
前記画素部内の所定数の画素毎に、前記所定数の画素からの複数の色信号に対して、第 1 の色信号毎に加算と、第 1 の色信号とは異なる第 2 の色信号毎に加算を異なるタイミングで順次行う駆動手段と、
を有するカラー撮像装置。

【請求項 3】 複数の色信号を出力する複数の画素を有する画素部と、
前記画素部内の所定数の画素毎に、前記所定数の画素からの複数の色信号に対して、第 1 の色の組み合わせの加算と、前記第 1 の色の組み合わせとは異なる第 2 の色の組み合わせの加算を異なるタイミングで順次行う駆動手段と、
を有するカラー撮像装置。

【請求項 4】 請求項 2 又は請求項 3 に記載のカラー撮像装置において、複数の画素からの信号を蓄積する複数の蓄積手段を有し、前記駆動手段は、複数の蓄積手段からの信号の加算を行うことを特徴とするカラー撮像装置。

【請求項 5】 請求項 2 ～ 4 のいずれかの請求項に記載のカラー撮像装置において、前記駆動手段は、前記駆動手段によって加算された信号を、同一色毎に線順次で読み出すことを特徴とするカラー撮像装置。

【請求項 6】 請求項 1 ～ 5 のいずれかの請求項に記載のカラー撮像装置において、前記複数色の信号の加算のうち少なくとも一つの色の信号の加算は、水平方向又は／及び垂直方向又は／及び斜め方向の加算であることを特徴とするカラー撮像装置。

【請求項 7】 請求項 1 ～ 6 のいずれかの請求項に記載のカラー撮像装置において、加算された信号は同一の出力手段から出力されることを特徴とするカラー撮像装置。

【請求項 8】 請求項 1 ～ 7 のいずれかの請求項に記載のカラー撮像装置において、複数の光電変換部と該複数の光電変換部からの信号が入力される共通回路とを配置した単位セルが配列され、

一つの前記画素は前記単位セル中の一つの前記光電変換部と前記共通回路の一部を含み、

前記複数色の信号のうち少なくとも 2 色の信号は前記共通回路を介して出力されることを特徴とするカラー撮像装置。

【請求項 9】 請求項 8 に記載のカラー撮像装置において、前記共通回路は前記光電変換部からの信号を増幅するアンプを有することを特徴とするカラー撮像装置。

【請求項 1 0】 請求項 1 ～ 9 のいずれかの請求項に記載のカラー撮像装置において、前記複数色の信号を点順次出力か線順次出力かに切り換える手段を有することを特徴とするカラー撮像装置。

【請求項 1 1】 請求項 1 ～ 1 0 のいずれかに記載のカラー撮像装置において、線順次の読み出しゲインを同一のアンプで制御することを特徴とするカラー撮像装置。

【請求項 1 2】 請求項 8 ～ 1 1 のいずれかの請求項に記載のカラー撮像装置において、

前記単位セル内の各光電変換部について共有される信号保持手段を垂直出力線に接続し、前記光電変換部から前記共通回路を介して前記信号保持手段へ信号を読み出すことを特徴とするカラー撮像装置。

【請求項 1 3】 請求項 1 ～ 1 2 のいずれかに記載のカラー撮像装置と、該カラー撮像装置へ光を結像する光学系と、該カラー撮像装置からの出力信号を処理する信号処理手段とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明はカラー撮像装置および撮像システムに係わり、特に複数色の信号を複数の画素から読み出すカラー撮像装置および撮像システムに関する。

【0002】

【従来の技術】

カラーフィルターを有した固体撮像素子は動画を撮影するビデオカメラや静止画を撮影する電子スチルカメラ等、各種映像機器で利用されている。

【0003】

近年、半導体技術の進歩により数百万画素の撮像素子が開発され、高解像度が要求される電子スチルカメラ等において実用化されているが、画素数がそのような数百万画素を越える高解像度のカメラであっても、動画（必ずしも高解像度である必要はない）を撮影できることが要求される場合がある。しかしながら、そのような高解像度のカメラは静止画用であり、動画を撮影することは困難である。これは画素数が多くなればそれに比例して撮像素子の信号を読み出すのに要する時間が増大してしまうことによる。

【0004】

この問題を解決するために従来、動画を撮影する場合には、撮像素子の信号の読み出し周波数を静止画の場合より高くしたり、撮像素子の信号を間引く等により実質的に画素数を少なくして読み出す技術が提案されていた。

【0005】

【発明が解決しようとする課題】

しかしながら、上記のような撮像装置においては次のような課題を有していた。

【0006】

① 色信号毎の一時蓄積容量が必要なため蓄積容量の面積が大きくなり、チップコストがアップする問題がある。また、列毎に多くの容量を同じ形状でパターン設計するのは困難であり、またそのため各蓄積容量の容量値がばらつく問題がある。特に、画素アンプのバラツキを除去するために信号から該バラツキを除去するときに、容量バラツキがSNの悪化をきたす。

【0007】

② 色信号毎に出力するとその後段の信号処理回路間のバラツキが画質を劣化させる。例えばA/D変換器の非線形性や、精度バラツキは色変化をきたす。

【0008】

③ 高画素数の撮像素子を低画素数モードで読み出す場合、間引きモードではモアレが発生し、素子の一部を利用すると撮影画角が変わる欠点があった。

【0009】

本発明の目的は、一時蓄積容量を減らすことによりチップ面積を縮小し、安価な撮像装置を提供すること、また、各色信号を読み出した後の信号経路を同一にして、色信号間のバラツキを低減し画質を向上されることにある。

【0010】

【課題を解決するための手段】

本発明のカラー撮像装置は、複数色の信号を複数の画素から読み出す読み出し手段と、該複数色の信号を色毎に加算し、線順次で出力させる駆動手段とを有することを特徴とする。

【0011】

本発明の撮像システムは、上記本発明のカラー撮像装置と、該カラー撮像装置へ光を結像する光学系と、該カラー撮像装置からの出力信号を処理する信号処理手段とを有することを特徴とする。

【0012】

【実施例】

以下、本発明の実施例について図面を用いて詳細に説明する。

【0013】

図2は本発明のカラー撮像装置による信号出力方法の説明図であり、R、Bの間に市松状にGが配置されている一般的なベイヤー配列とその出力信号を示している。図2中(A)は画素行の信号をライン毎に点順次で読み出す例、図2中(B)は画素行の信号を同一色毎にライン順次(線順次)で読み出す例、図2中(C)は色信号をライン順次で読み出すが、G信号は2つの画素行から斜め方向に加算し、RとB信号は水平方向に加算して読み出す例、図2中(D)はRとB信号は水平及び垂直方向に加算し、G信号はRとBの間のものを選択し、斜め加算して読み出す例を示すものである。

【0014】

図1は図2の信号出力方法を行う本発明のカラー撮像装置の一実施例を示す回路構成図である。画素部は垂直方向2画素が共通のアンプに接続されている。

【0015】

垂直出力線VS1, VS2, …には転送トランジスタTS11, TS21, …を経て信号保持手段となるメモリ(容量)CT1, CT2, …に接続されている。ここで、各垂直信号線に対応するメモリは1系統と少ない。すなわち、図2の(C)、(D)では各色毎に加算を行っているが、R, G, B3色分の信号を同時に加算すると3系統のメモリが必要になるが、本実施例では転送トランジスタTS11, TS21, …を制御することで、2本の垂直出力線からの信号を1つのメモリに転送することができる(又は1本の垂直出力線から信号を2つのメモリの両方又は一方に転送することができる)ので、1系統のメモリを設けるだけでよく、少ないメモリ数で加算をおこなうことができる。このように、複数色を同時に加算すると多くのメモリがいるが、各色毎に順次加算することによって少ないメモリ数で加算を行えるようになる。なお、ここでは各垂直出力線に対応するメモリは1つつ設けられているが、画素から読み出す信号のノイズ成分を除去するためにノイズ信号を読み出す場合には、別にノイズ用のメモリを設けるので垂直出力線に対応するメモリ数は信号用メモリとノイズ用メモリで2個設ける。

【0016】

従って、メモリの面積は非常に小さくて良い。また、メモリが少なく済むので信号用のメモリとノイズ用のメモリを相似に設計することが容易である。従って信号からノイズを除去する精度が向上し、SNが良くなる。上記のように、1系統のメモリには2本の垂直出力線から転送スイッチ(転送トランジスタ)を経て接続されている。この結線により複数ラインの信号をメモリに転送することができる。

【0017】

なお、本発明に係わる各手段と本実施例における対応について説明すると、読み出し手段は、後述する図10の垂直シフトレジスタV-SR11が該当し、駆動手段は、後述する図10の水平シフトレジスタH-SR13及び図1の転送トランジスタTS11~TS42が該当する。出力手段としては水平出力線が該当する。

【0018】

図7は共通アンプを用いた2画素の構成を示す図である。図7に示すように、 a_{11} 、 a_{21} は各画素の光電変換部となるフォトダイオード、MSFは共通アンプとなる増幅用トランジスタ、MTX1、MTX2はフォトダイオードに蓄積された信号電荷を共通アンプの入力部となるフローティングディフュージョン領域（FD領域）に転送する転送用トランジスタ、MRESはFD領域をリセットするリセット用トランジスタ、MSELは共通アンプ画素を選択する選択用トランジスタである。トランジスタMSF、MSELはソースフォロア回路を構成する。かかる共通アンプ2画素は2つのフォトダイオードからの信号が共通アンプを介して出力され、2画素で一つの単位セルを構成する。1つの画素はフォトダイオード、転送用トランジスタを含み、共通アンプ、リセット用トランジスタ、選択用トランジスタからなる共通回路の一部を含んでいる。

【0019】

図3は図2中（A）の信号出力方法のタイミング図である。図3において共通アンプのノイズ蓄積のためのメモリ、メモリへノイズを転送する転送手段は省略している。

【0020】

まず、信号 ϕ MRESをHレベルとして共通画素アンプのゲートをリセットしゲート部の残留電荷を除去する。その後、ノイズ転送を行う。

【0021】

次に、信号 ϕ MTX1、 ϕ MTX2、 ϕ SELをHレベルとして、転送トランジスタMTX1、MTX2、選択トランジスタMSELをオンし、また信号 ϕ TS1、 ϕ TS4をHレベルとして、転送トランジスタTS11、TS12、TS41、TS42、…をオンし、V1ラインで画素G11、G13、…からのG信号と画素R12、R14、…からのR信号をそれぞれメモリCT1、CT2、…へ転送する。メモリの信号は出力パルス h_{mn} （ h_{11} 、 h_{12} 、 h_{13} 、…）を順次Hレベルとすることにより点順次信号が水平出力線より出力される。V2ライン以降も同様に駆動される。

【0022】

図4は図2中（B）の信号出力方法のタイミング図である。図4では、V1ラ

インのまずG信号がメモリに転送された後に、水平出力線より出力され、次にR信号がメモリに転送された後に、水平出力線より出力される。

【0023】

まず、信号 ϕ MRESをHレベルとして共通画素アンプのゲートのリセットしゲート部の残留電荷を除去する。その後、ノイズ転送を行う。

【0024】

次に、信号 ϕ MTX1、 ϕ SELをHレベルとして、転送トランジスタMTX1、選択トランジスタMSELをオンし、また信号 ϕ TS1、 ϕ TS3をHレベルとして、転送トランジスタTS11、TS12、TS31、TS32、…をオンし、V1ラインで画素G11、G13、…からのG信号をそれぞれメモリCT1とCT2、CT3とCT4、…へ転送する。この場合、G画素信号は2つのメモリへ転送されメモリされるので、出力時は出力パルスはh11とh12、h13とh14、…は同相である。2つのメモリへ転送することにより、メモリから水平出力線への読み出しゲインが図3に示す実施例より本実施例の方が2倍大きい。システムによって図3に示す読み出し方式と図4に示す読み出し方式とを切替えて使う場合、後述のPGA（プログラマブル・ゲイン・アンプ）で読み出しゲインを調整する。

【0025】

図5は図2中（C）の信号出力方法のタイミング図である。図5ではV1ラインとV2ラインでまず各々G信号を転送し、メモリから水平出力線を出力するとき斜め方向のG信号の加算が行なわれる。次にV1ラインのR信号が転送され、同様に水平出力線で水平方向R信号の加算が行なわれる。同様にV2ラインでB信号が転送され、水平出力線で水平方向B信号の加算が行なわれる。この場合、読み出しゲインは図4の実施例と同じである。

【0026】

G信号の読み出しは、まず、信号 ϕ MRESをHレベルとして共通画素アンプのゲートのリセットしゲート部の残留電荷を除去する。その後、ノイズ転送を行う。

【0027】

次に、信号 ϕ MTX1、 ϕ SELをHレベルとして、転送トランジスタMTX1、選択トランジスタMSELをオンし、また信号 ϕ TS1をHレベルとして、転送トランジスタ

TS11, TS12, …をオンし、V 1ラインで画素G11, G13, …からのG信号をそれぞれメモリCT1, CT3, …へ転送する。

【0028】

次に、信号 ϕ MRESをHレベルとして共通画素アンプのゲートをリセットしゲート部の残留電荷を除去する。その後、ノイズ転送を行う。

【0029】

さらに、信号 ϕ MTX2、 ϕ SELをHレベルとして、転送トランジスタMTX2、選択トランジスタMSELをオンし、また信号 ϕ TS4をHレベルとして、転送トランジスタTS41, TS42, …をオンし、V 2ラインで画素G22, G24, …からのG信号をそれぞれメモリCT2, CT4, …へ転送する。出力時は出力パルスはh11とh12, h13とh14, …は同相である。従って、 $G11+G22$, $G13+G24$, …の加算信号が水平出力線から出力される。

【0030】

R信号の読み出しは、まず、信号 ϕ MRESをHレベルとして共通画素アンプのゲートをリセットしゲート部の残留電荷を除去する。その後、ノイズ転送を行う。

【0031】

次に、信号 ϕ MTX2、 ϕ SELをHレベルとして、転送トランジスタMTX2、選択トランジスタMSELをオンし、また信号 ϕ TS2, ϕ TS4をHレベルとして、転送トランジスタTS21, TS22, …, TS41, TS42, …をオンし、V 1ラインで画素R12からのR信号をメモリCT1とCT2、画素R14からのR信号をメモリCT3とCT4, …へ転送する。出力時は出力パルスはh11, h12, h13, h14, …をHレベルとすることで、 $R12+R14$, …の加算信号が水平出力線から出力される。

【0032】

B信号の読み出し動作は図5に不図示であるが、V 2ラインについて、 ϕ TS1, ϕ TS3をHレベルとして、B信号をメモリに転送する点を除いてR信号の読み出し動作と同様にして、 $B21+B23$, …の加算信号が水平出力線から出力される。

【0033】

図6は図2中(D)の信号出力方法のタイミング図である。図6では、まず、

V 1 ラインについて、信号 ϕ MRES を H レベルとして共通画素アンプのゲートのリセットしゲート部の残留電荷を除去する。その後、ノイズ転送を行う。

【 0 0 3 4 】

さらに、信号 ϕ MTX2、 ϕ SEL を H レベルとして、転送トランジスタ MTX2、選択トランジスタ MSEL をオンし、また信号 ϕ TS4 を H レベルとして、転送トランジスタ TS41, TS42, … をオンし、V 1 ラインで画素 R12, R14, … からの R 信号をそれぞれメモリ CT2, CT4, … へ転送する。

【 0 0 3 5 】

次に V 3 ラインについて、同様に、残留電荷の除去とノイズ転送を行った後に、信号 ϕ MTX2、 ϕ SEL を H レベルとして、転送トランジスタ MTX2、選択トランジスタ MSEL をオンし、また信号 ϕ TS2 を H レベルとして、転送トランジスタ TS21, TS22, … をオンし、V 3 ラインで画素 R32, R34, … からの R 信号をそれぞれメモリ CT1, CT3, … へ転送する。

【 0 0 3 6 】

メモリから信号を水平出力線に転送するときメモリ CT1 ~ CT4, … に蓄積された各々 4 つの信号（垂直及び水平方向に配置された R 画素（例えば、R12, R14, R32, R34）からの信号）が加算される。そのために、水平シフトレジスタからの出力パルスは 4 パルス毎に同相（h11, h12, h13, h14, h15, h16, h17, h18, … がそれぞれ同相）である。

【 0 0 3 7 】

次に V 2 ラインの画素 G22, G24, … の信号がメモリ CT2, CT4, … が転送された後に、V 3 ラインの画素 G31, G33, … の信号がメモリ CT1, CT3, … が転送され、水平シフトレジスタからの出力パルスを 2 パルス毎に同相（h11 と h12, h13 と h14, h15 と h16, … がそれぞれ同相）とすることで、V 2 ラインと V 3 ラインより斜め方向の画素 G22 と画素 G31, 画素 G24 と画素 G33, … の G 信号が加算して読み出される。この例では V 1 と V 4 ラインの G は使わない。

【 0 0 3 8 】

次に、V 2 ラインと V 4 ラインにより、各々 4 つの信号（垂直及び水平方向に配置された B 画素（例えば、B21, B23, B41, B43）からの信号）が加算され

る。なお、このタイミングは図6では省略されているがR信号の加算読み出しと同様に加算読み出しを行うことができる。

【0039】

図6では2ラインのGを使うことにより水平解像度を向上させることが出来る。この場合、読み出しゲインは図4に示した実施例に対しRとBは2倍、Gは同じである。また加算によってRとBのSN比は $\sqrt{2}$ 倍向上しGは同じである。

【0040】

以上、図2の(C)、(D)につき、本発明の実施例を説明したが、各色信号の加算はこれにとらわれない。例えば、G信号を横方向や垂直方向に加算しても良いし、補色フィルタであってもよい。

【0041】

また、例えば第1、第2、第3及び第4の色を有した色フィルタを配置した画素部で、画素部内の所定ブロックからの信号の読み出しにおいて、最初のタイミングで第1の色信号と第2の色信号の加算を行い、次のタイミングで第3の色信号と第4の色信号の加算を行うようにしてもよい。

【0042】

図8は共通画素アンプに接続される画素を水平及び垂直4つにした例である。この様にするにより垂直出力線と転送スイッチを減らすことが出来、画素の開口率アップとチップ面積をさらに小さくすることが可能である。

【0043】

本発明は図7、図8に様に共通アンプを用いなくてもよく、各画素ごとに単一のアンプを備えていても良いし、色信号の加算は2画素ではなく3画素以上であっても良いことは当然である。

【0044】

図10にカラー撮像装置を用いた撮像システムの一実施例を示すブロック図を示す。

【0045】

撮像素子1には画素領域10と画素をライン毎に制御する垂直シフトレジスタ(V-SR)11、画素からの信号とノイズを一時的に蓄積し(あるいは加算す

る)メモリ12、メモリ12の信号を水平出力線へ出力する(あるいはまた加算する)水平シフトレジスタ(H-SR)13、メモリ12からの信号から画素アンプのノイズを除去するAMP14、AMP14からの信号ゲインを変えることが出来るプログラマブルゲインアンプPGA15、PGA15の出力信号をデジタル信号に変換するA/D変換器16、V-SR11、H-SR13、メモリ12、PGA15、A/D変換器16を制御するタイミングジェネレータ/コントロール回路17が内蔵されている。撮像素子1には絞りを有する光学系6により光が結像される。

【0046】

DSP3は、動画または静止画の画像処理を行う。またCPU4はこの画像処理の際に使われるパラメータをDSP3に設定したり、撮像素子1、光学系6の絞り等の制御を行う。

【0047】

記憶装置2は、画像処理する際の一時的な記憶領域としてDRAM、スマートメディア、磁気テープ、光ディスク等の画像記録媒体等である。また画像処理後の表示を行うためのCRT等の表示装置、プリンタ等の記録装置に信号を転送するI/F回路5が設けられている。

【0048】

撮像素子1において、加算読み出しモードと全画素読み出しモード、点順次走査と線順次走査とを切り替える場合には、CPU4がモードを判断し、撮像素子1、DSP3等にそれぞれのモードに対応した信号を送る構成を取る。ここでタイミングジェネレータ/コントロール回路17は動画・静止画により図3～図6に示したようなタイミングを切り替える。

【0049】

図9は各出力信号方法に対する調整ゲインの説明図である。図3に示した実施例のゲインを基準にすると、図4及び図5の実施例では-6dB、図6の実施例ではRとB信号は-12dB、G信号は-6dBに調整される。

【0050】

次に本発明の撮像装置に好適に用いることができる単位セルの具体的な構成に

ついて説明する。

【0051】

図18に示す配置は、光電変換部173の配列が等ピッチとはならないために ($a_1 \neq a_2$)、それぞれの画素内の光を関知する領域(受光部)の間隔が等しくならず、次のような問題が生じる。すなわち、同色の等ピッチでない配列は、部分的に空間周波数、解像度が等しくないために、解像度の低下、モアレ縞等の不良を発生させる。また、モアレ縞の発生は非常に重大な問題であり、そのような撮像装置は、事実上製品として成り立ち得ない。これは前記単位セルを構成する画素数が4以外の場合にも同様に成り立つ。

【0052】

本発明者らは、複数画素中に分散された増幅手段を有するCMOSセンサーにおいても、光電変換部のピッチを一定とすることによってそれぞれの受光部の間隔は等しくなり、解像度の低下とモアレ縞の発生を防止し、開口率等を向上させ、良好な性能を得ることができる撮像装置を見出した。このような撮像装置は本発明において好適に用いることができる。

【0053】

図11は2行2列の画素が共通アンプ部22を共有する例を示す図である。図11では、共有する共通アンプ部22が4つの画素の中心に配置され、4つの光電変換部(a_{11} , a_{12} , a_{21} , a_{22})が共通アンプ部22を取囲むように配置されている。ここで共通アンプ部22には図8の増幅手段MSF、リセット手段MSEL、選択手段MSELの他、転送手段MTX1~MTX4を含んでいる。

【0054】

しかも、共通アンプ部22の占める各画素における領域と中心対称な位置に遮光部25が存在している。従って、各画素における光電変換部21の重心は前記各画素の中心に存在する。これにより前記4つの光電変換部(a_{11} ~ a_{22})は縦方向、横方向に等間隔 a で配置できている。

【0055】

また図12では、共有する共通アンプ部32が4つの画素の横方向の中心部に配置され、4つの光電変換部31(a_{11} , a_{12} , a_{21} , a_{22})が共通アンプ部3

2をはさむように配置されている。

【0056】

しかも、共通アンプ部32の占める各画素における領域と中心対称な位置に遮光部35が存在している。従って各画素における前記光電変換部31の重心は各画素の中心に存在する。これにより4つの光電変換部(a11~a22)は縦方向、横方向に等間隔aで配置できている。

【0057】

上述した図12の実施形態は、横方向と縦方向を入れ換えても全く同様に成立する。

【0058】

図13にCMOSセンサーの画素アレー部の第1の構成例の具体的なパターンレイアウト図を示す。

【0059】

図13に示すCMOSセンサーは単結晶基板上にレイアウトルール0.4 μ mによって形成されており、画素の大きさは8 μ m角であり、増幅手段であるソースフォロワアンプは2行2列の4画素で共有されている。従って、図中点線領域で示した繰返し単位セル81の大きさは16 μ m \times 16 μ m角であり、2次元アレーが形成されている。

【0060】

光電変換部であるホトダイオード82a, 82b, 82c, 82dは各画素の中央に斜めに形成されており、その形状は上下左右でほぼ回転対称、鏡像対称である。またこれらのホトダイオード82a, 82b, 82c, 82dの重心gは各画素に対して同一になるように設計されている。また95は遮光部である。

【0061】

88-aは左上の転送ゲート83-aを制御する走査線、90は行選択線、92はMOSゲート93を制御するリセット線である。

【0062】

ホトダイオード82a~82d中に蓄積された信号電荷は転送ゲート83a~83dを通してFD85に導かれる。ゲート83a~83dのMOSサイズはL

$= 0.4 \mu\text{m}$, $W = 1.0 \mu\text{m}$ (L はチャネル長、 W はチャネル巾を示す。)である。

【0063】

FD85は巾 $0.4 \mu\text{m}$ のA1配線によってソースフォロワの入力ゲート86に接続されており、FD85に転送された信号電荷は入力ゲート86の電圧を変調させる。入力ゲート86のMOSの大きさは $L = 0.8 \mu\text{m}$, $W = 1.0 \mu\text{m}$ であり、FD85と入力ゲート86の容量の和は 5 fF 程度である。 $Q = CV$ であるから、 10^5 個の電子の蓄積によって入力ゲート86の電圧は、 3.2 V 変化することになる。

【0064】

VDD端子91から流れ込む電流は入力ゲート86によって変調され、垂直出力線87に流出する。垂直出力線87に流出する電流は図示しない信号処理回路によって信号処理され、最終的には画像情報となる。

【0065】

その後、ホットダイオード82a~82d, FD85, 入力ゲート86の電位を所定の値のVDDとするために、リセット線92に接続されたMOSゲート93を開くことで(このとき転送ゲート83a~83dも開く)、ホットダイオード82a~82d, FD85, 入力ゲート86はVDD端子とショートされる。

【0066】

その後、転送ゲート83a~83dを閉じることでホットダイオード82a~82dの電荷蓄積が再び始まる。

【0067】

ここで注目すべきは、水平方向に貫通する配線88a~88d, 90, 92の全ては透明な導体である厚さ 1500 \AA のITO (Indium Tin Oxide) で形成されているために、前記配線部分のうち、ホットダイオード82a~82d上では光が透過するため、前記ホットダイオードの重心gは光を感知する領域(受光部)の重心と一致することである。

【0068】

本構成例によれば画素ピッチが等しい比較的高面積率、高開口率なCMOSセ

ンサーを提供することができる。

【0069】

本発明のCMOSセンサーの画素アレー部の第2の構成例の具体的なパターンレイアウト図を図14に示す。

【0070】

図14において、102a～102dはホトダイオード、103a～103dは転送ゲート、105はFD、106はソースフォロウの入力ゲート、107は垂直出力線、108a～108dは走査線、110は行選択線、112はMOSゲート113を制御するリセット線である。

【0071】

本構成例においては水平方向に走る配線108a～108d、110、112が3本ずつ各画素の中心を横切るように走っているために、ホトダイオード102a～102dに入射する光を妨げるような金属配線であっても、光を感知する領域の重心gの移動は生じず、従って前記画素の中心と一致する。

【0072】

本構成例によれば電気抵抗が小さな通常の（不透明な）金属を使用できるため、前記横方向の配線の時定数が改善され、更に高速な撮像装置を提供することができる。

【0073】

以上の構成例では、遮光膜の下部分が有効利用されているため、図15に示すように遮光膜の下部分にまで光電変換部であるホトダイオードを形成し、電荷蓄積部として機能させることも可能である。

【0074】

上述の第2構成例においては、最も光集光効率が良い画素の中心を横切るために、撮像装置の感度の低下が懸念される。そこで更に改善された第3構成例を図16に示す。

【0075】

本構成例においては転送ゲート123a～123d、FD125、ソースフォロウの入力ゲート126、リセット用のMOSゲート133全てが横方向を走る

配線（走査線 128a～128d，行選択線 130，リセット線 132）下に形成されているため、ホットダイオード 122a～122d，及びその開口を最大とすることができる。しかも、その開口部は各画素の中心に連続して存在する。また遮光部は水平、垂直配線部分に形成されている。

【0076】

また本構成例においては前記増幅手段であるソースフォロワとリセット用の MOS トランジスタを各画素の周辺の水平方向に分割して配置したためにコンパクトに前記水平方向の配線下に配置可能となっている。

【0077】

また右上の画素の配線下には未使用のスペースが未だ存在するため、例えばスマートセンサー等、新規の構成を追加することも可能である。

【0078】

本構成例によれば、ホットダイオードの面積、及び開口率が大きく取れることから、広ダイナミックレンジ、高感度な撮像装置を提供することができる。また、将来微細化が進み、前記ホットダイオードの開口部分の寸法が光の波長程度になっても光が入射しなくなるといった恐れは生じにくく、永らくその性能を発揮することができる。

【0079】

また、以上の構成例では、増幅手段は単位セルの中心部に配置し、光を感知する領域の重心と、画素の中心は一致したものであるが、これらに限られず、図 17 に示したような開口部が並進対称となっている構成のものでもよい。

【0080】

つまり、開口部が並進対称となっていることにより、光を感知する領域は、等ピッチとなるためである。

【0081】

【発明の効果】

以上説明したように、本発明によりチップ面積を小さく出来、カラー撮像装置を安価に提供出来る。

【0082】

また、各信号同一の信号処理系を通すので信号間のバラツキが少なく高画質とすることができる。

【0083】

さらに各画素を全て読み出す高精細読み出しで高画質、また画素信号の加算読み出しにより、駆動周波数を下げることでSN比を向上させることが出来、低消費電力化も達成出来る。その時、高精細モードと加算読み出しモードでは撮影光学系の画角が同じという大きな効果もある。

【図面の簡単な説明】

【図1】

本発明のカラー撮像装置の一実施例を示す回路構成図である。

【図2】

本発明のカラー撮像装置による信号出力方法の説明図である。

【図3】

図2（A）の信号出力方法のタイミング図である。

【図4】

図2（B）の信号出力方法のタイミング図である。

【図5】

図2（C）の信号出力方法のタイミング図である。

【図6】

図2（D）の信号出力方法のタイミング図である。

【図7】

共通アンプを用いた2画素の構成を示す図である。

【図8】

共通アンプを用いた4画素の構成を示す図である。

【図9】

各出力信号方法に対する調整ゲインの説明図である。

【図10】

カラー撮像装置を用いた撮像システムの一実施例を示すブロック図である。

【図11】

本発明の単位セルのレイアウトを示す図である。

【図 1 2】

本発明の単位セルのレイアウトを示す図である。

【図 1 3】

本発明の一構成例のパターンレイアウト図である。

【図 1 4】

本発明の一構成例のパターンレイアウト図である。

【図 1 5】

本発明の一構成例を表す図である。

【図 1 6】

本発明の一構成例のパターンレイアウト図である。

【図 1 7】

本発明の一構成例を表す図である。

【図 1 8】

撮像装置の一例の単位セルのレイアウト図である。

【符号の説明】

MTX1、MTX 2 転送トランジスタ

MSEL 選択トランジスタ

TS11～TS42 転送トランジスタ

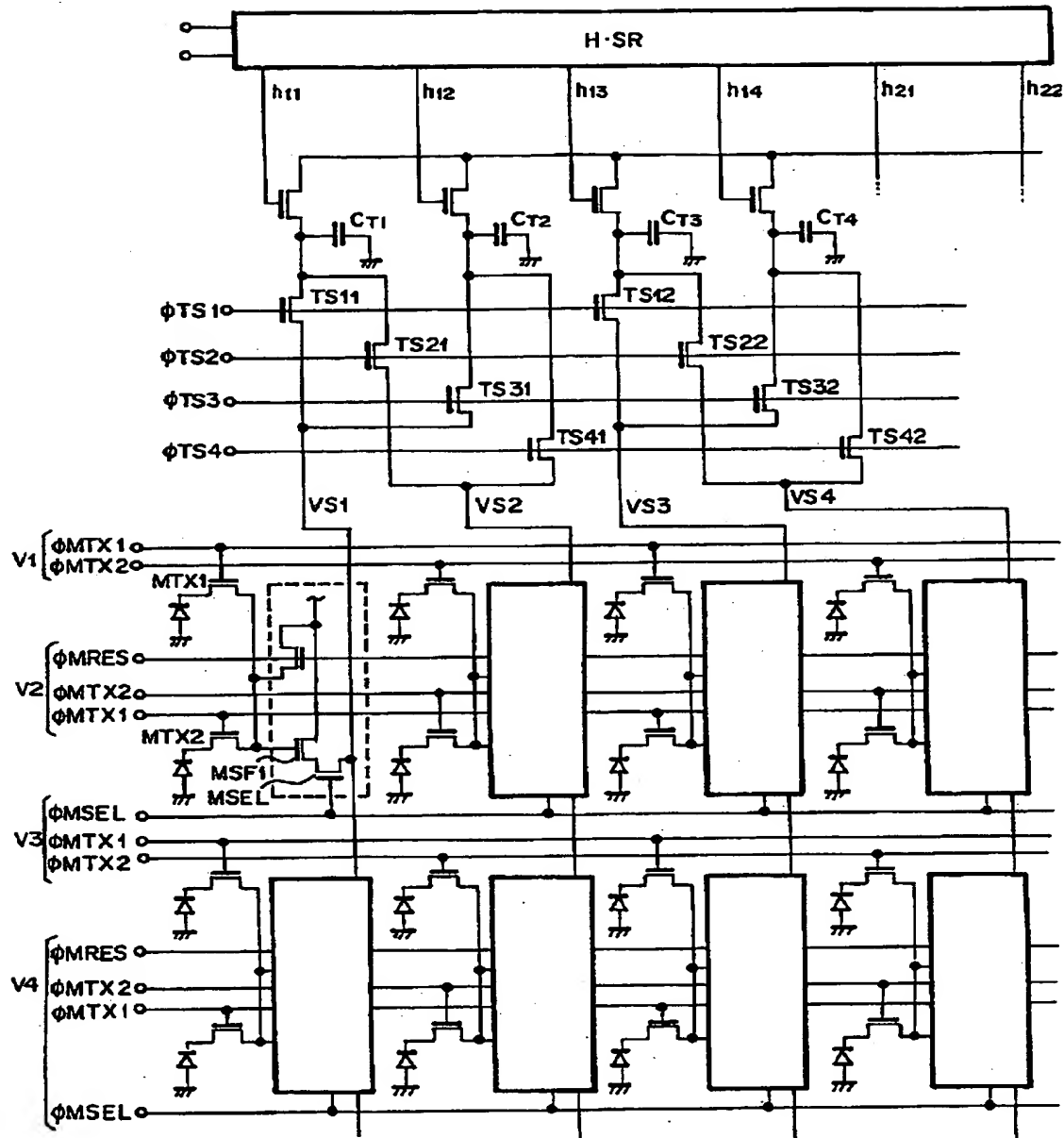
CT 1～CT 4 メモリ

VS1～VS4 垂直出力線

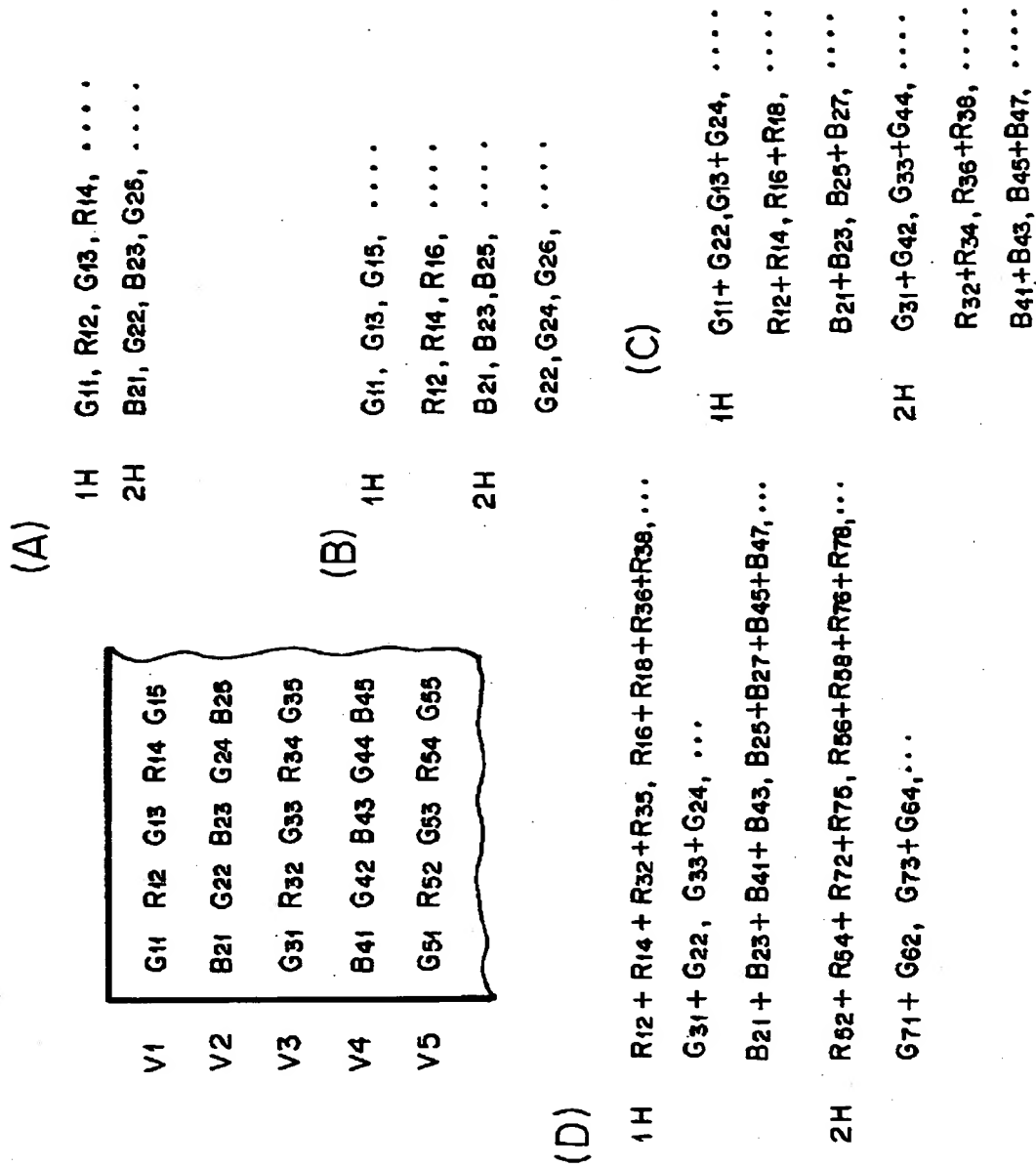
【書類名】

図面

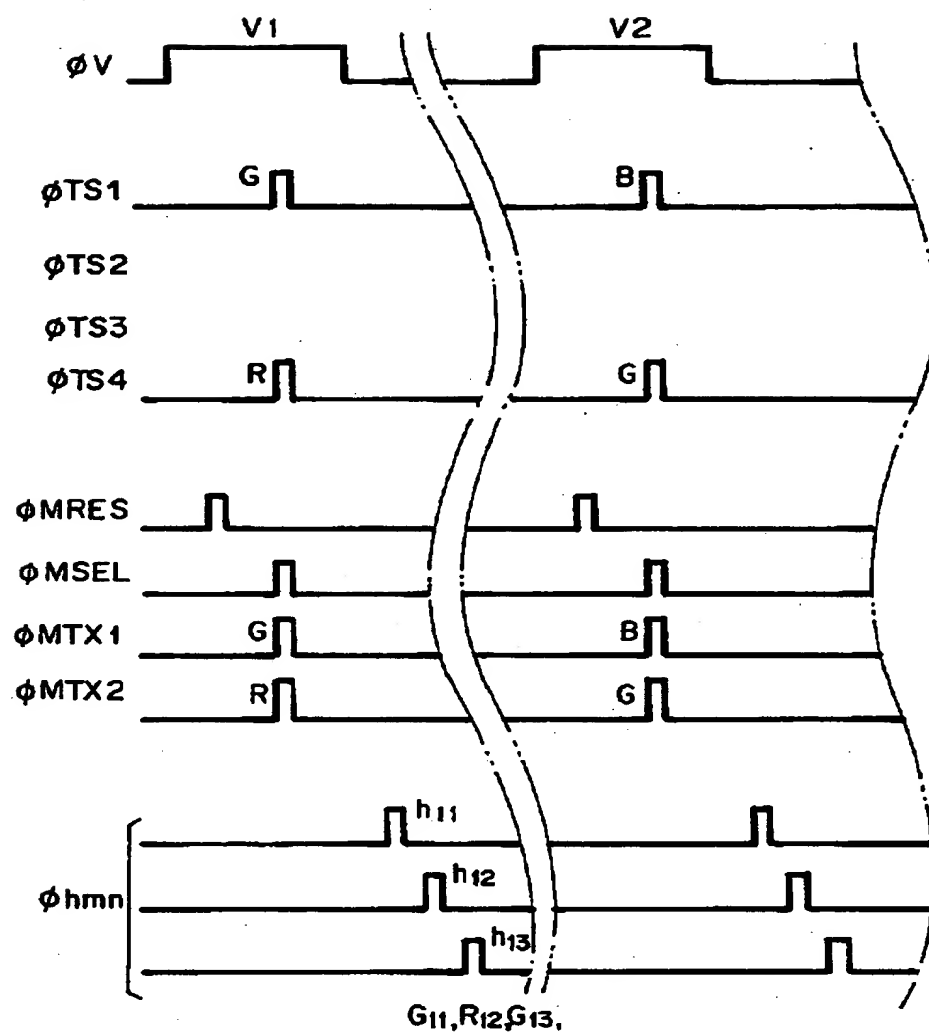
【図 1】



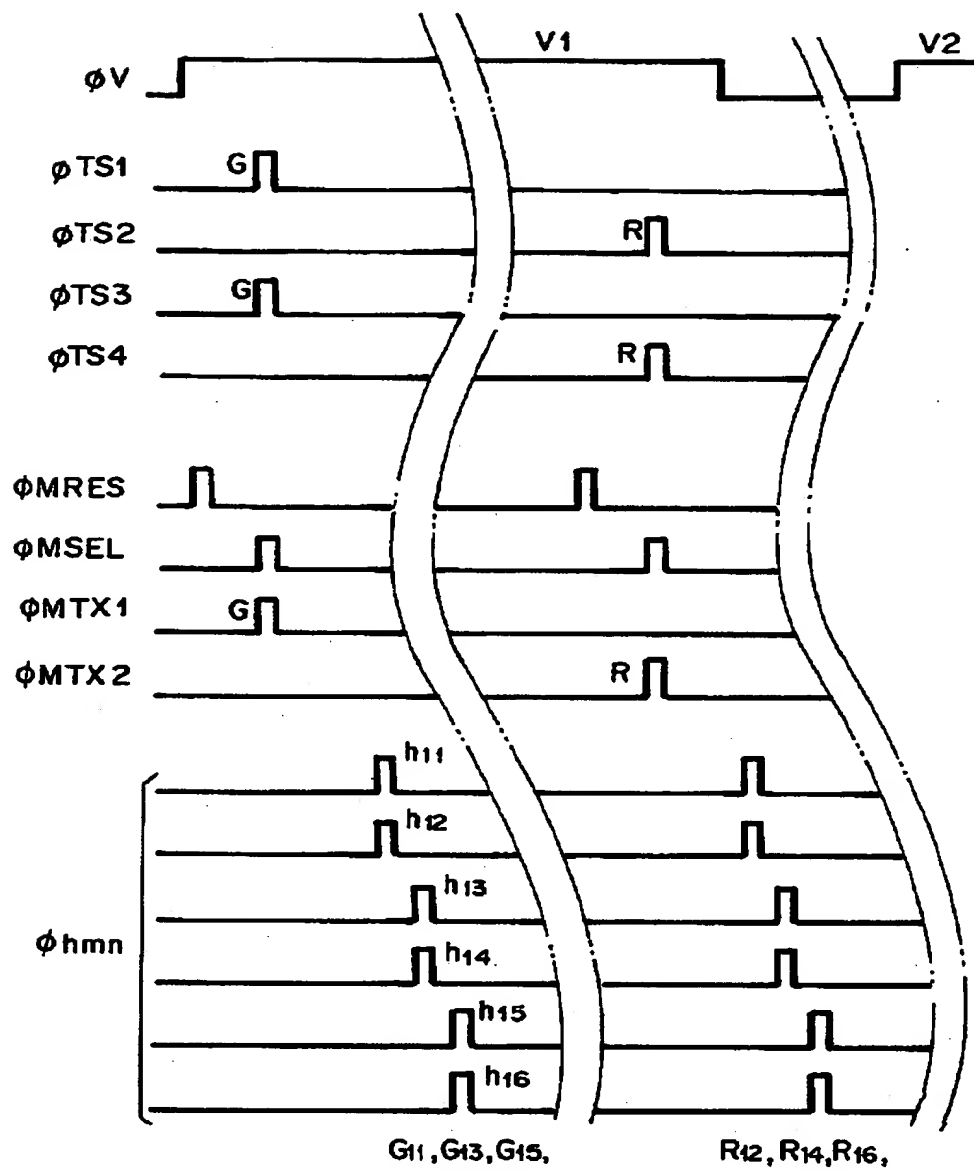
【图 2】



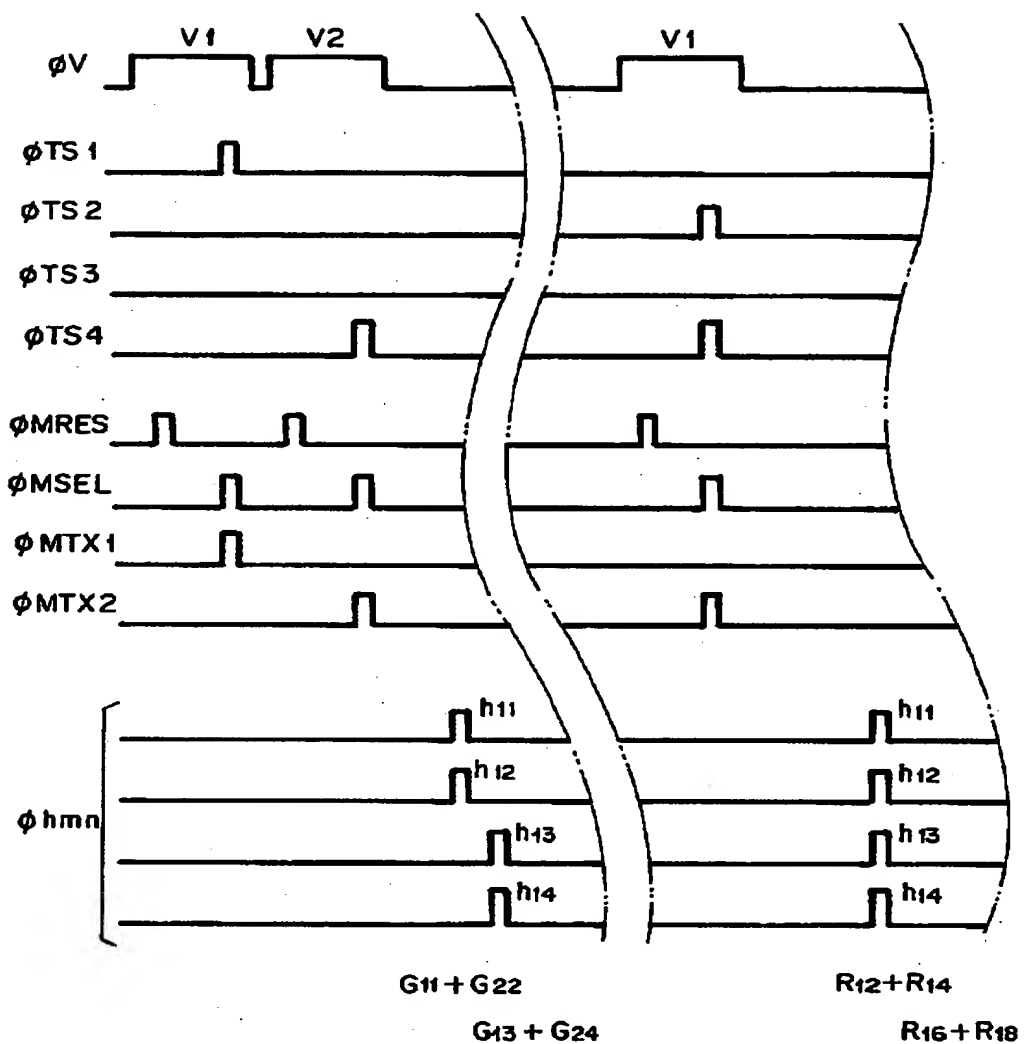
【図 3】



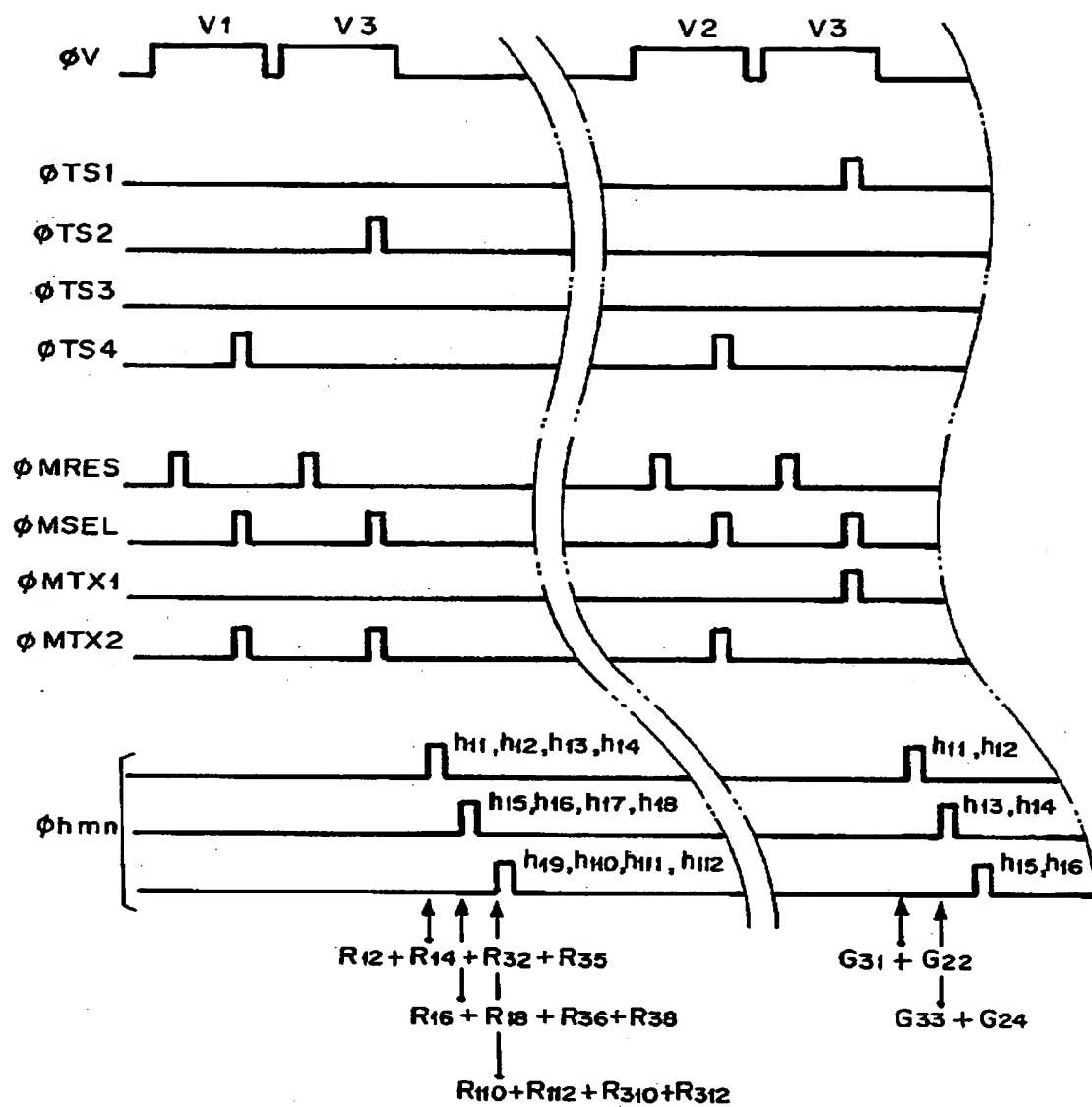
【図 4】



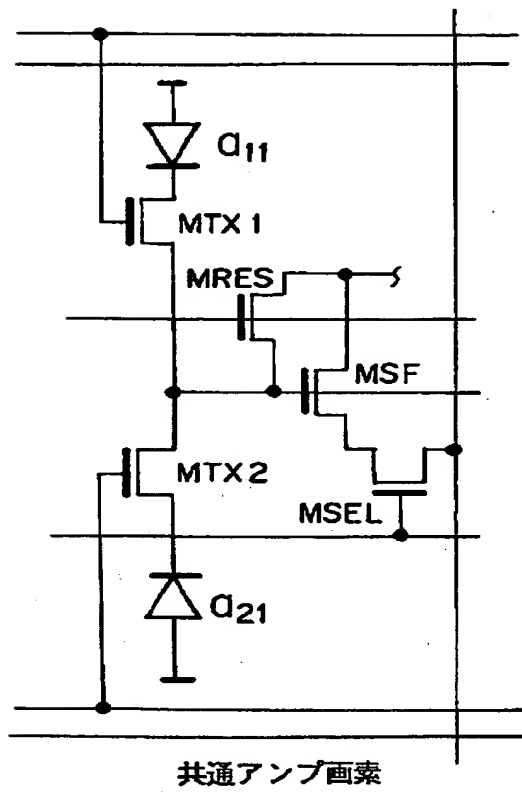
【図 5】



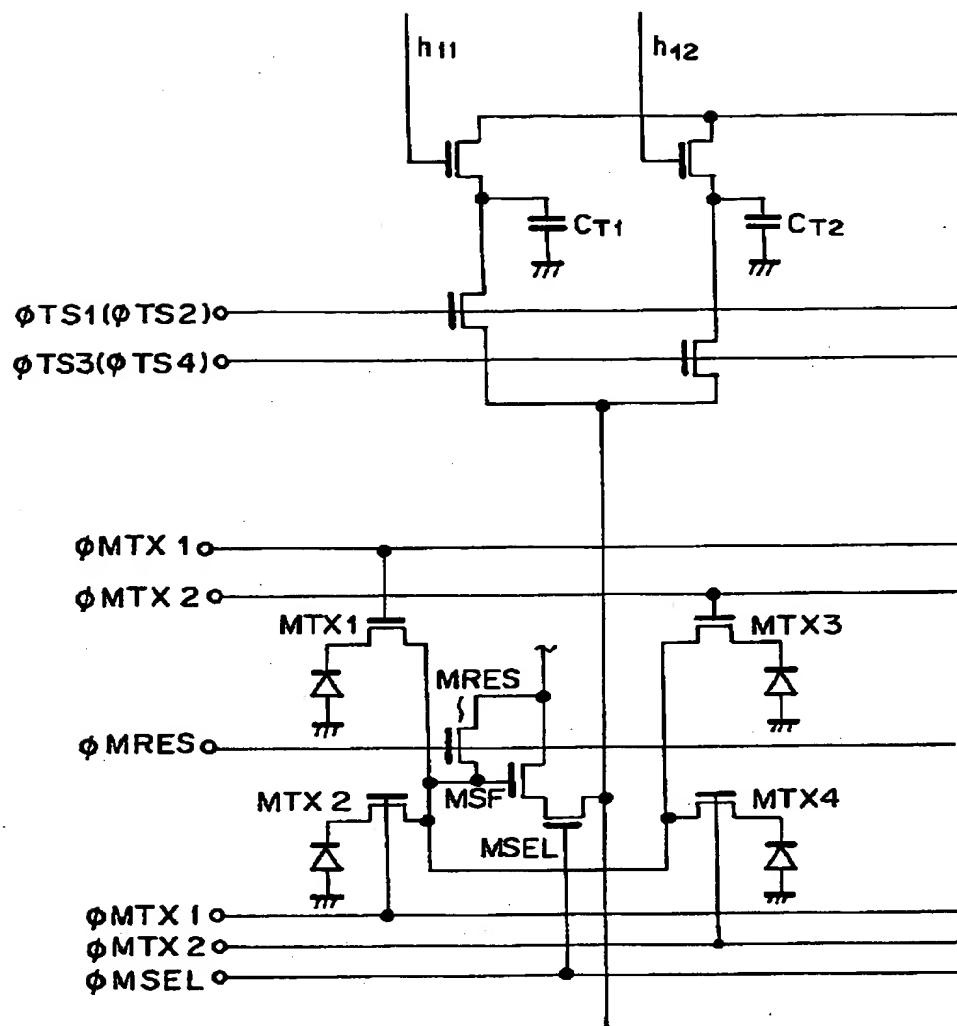
【図 6】



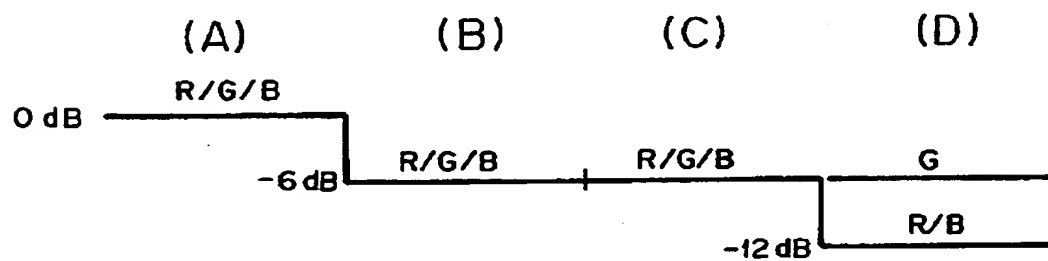
【図 7】



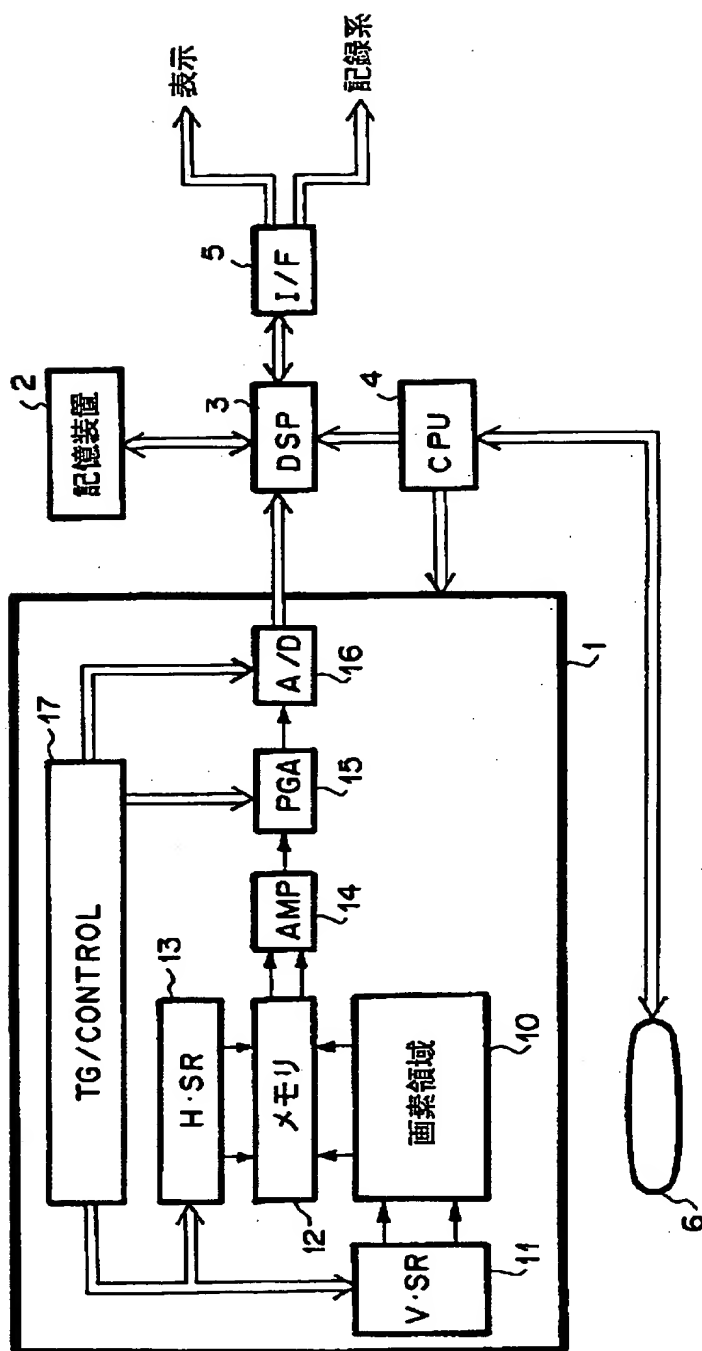
【図 8】



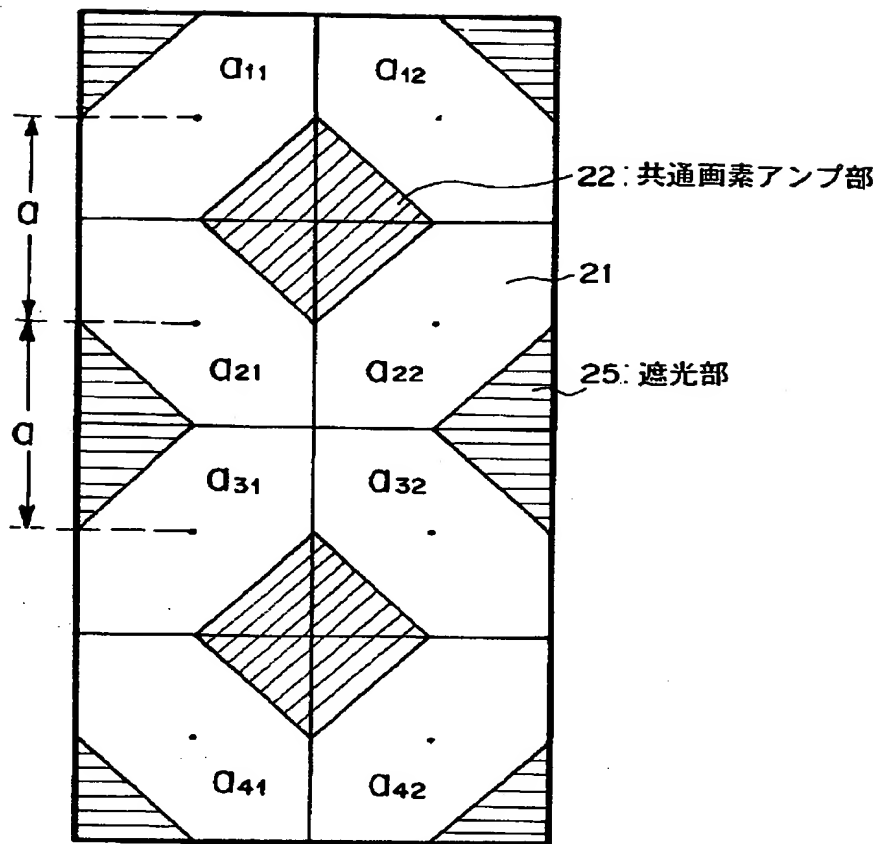
【図 9】



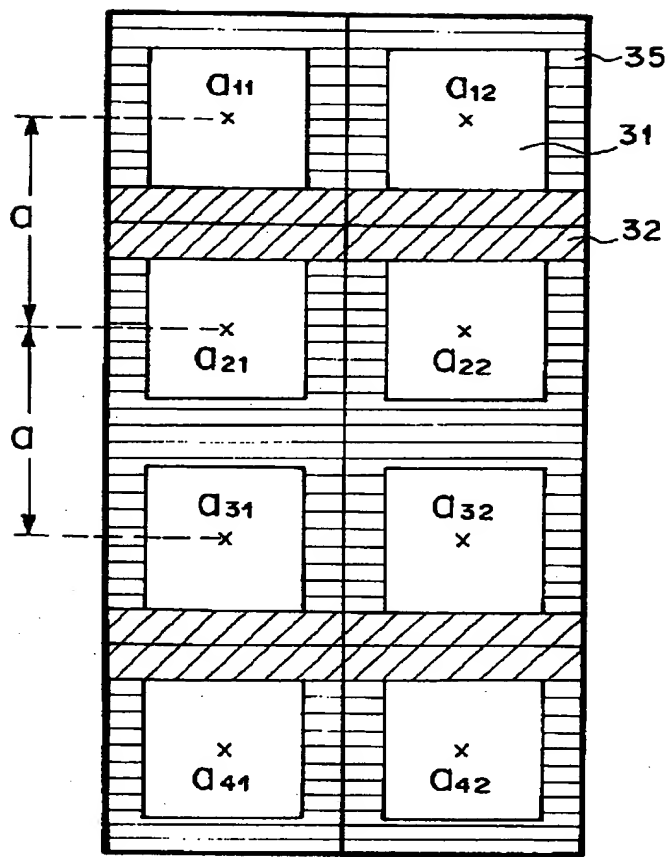
【図 1 0】



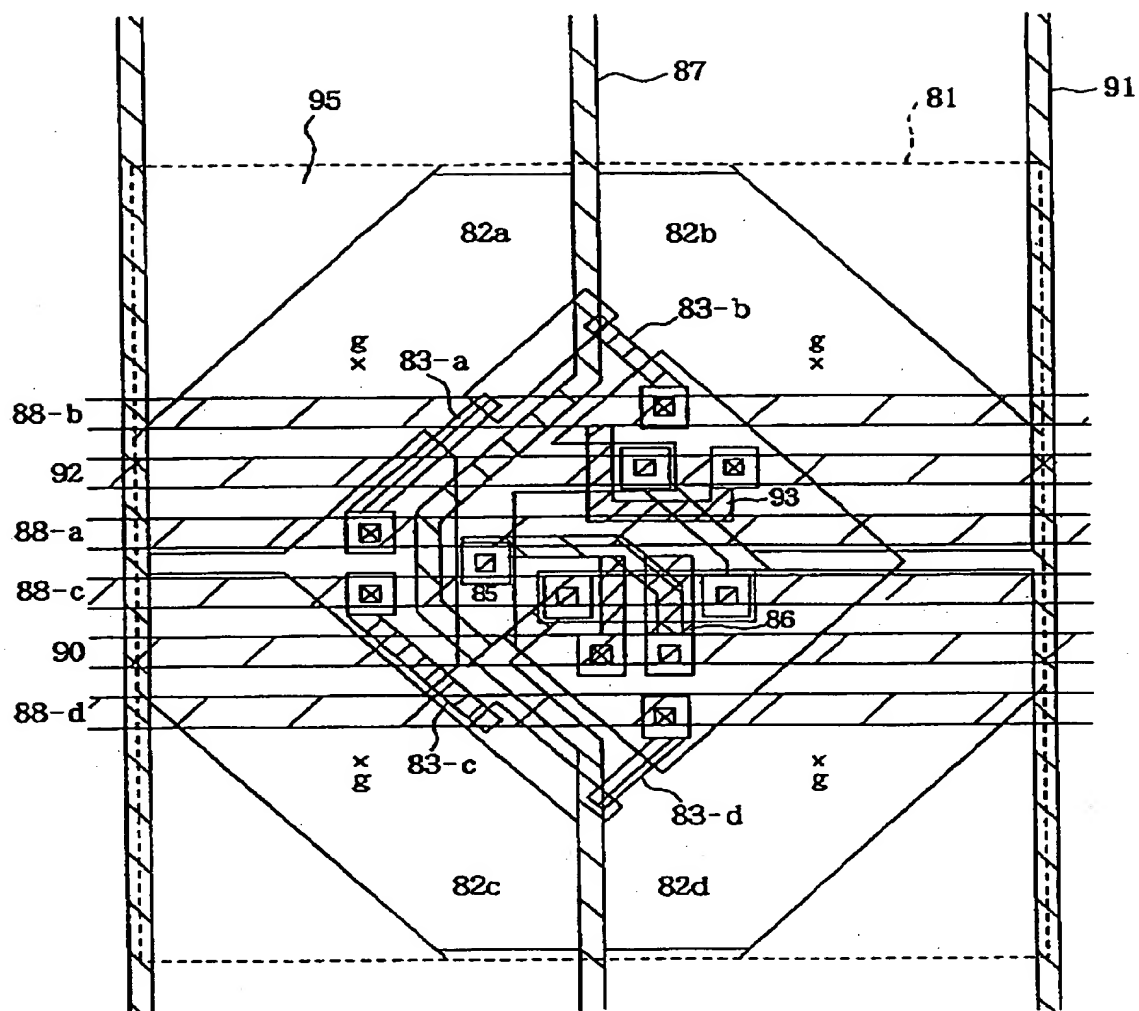
【図 1 1】



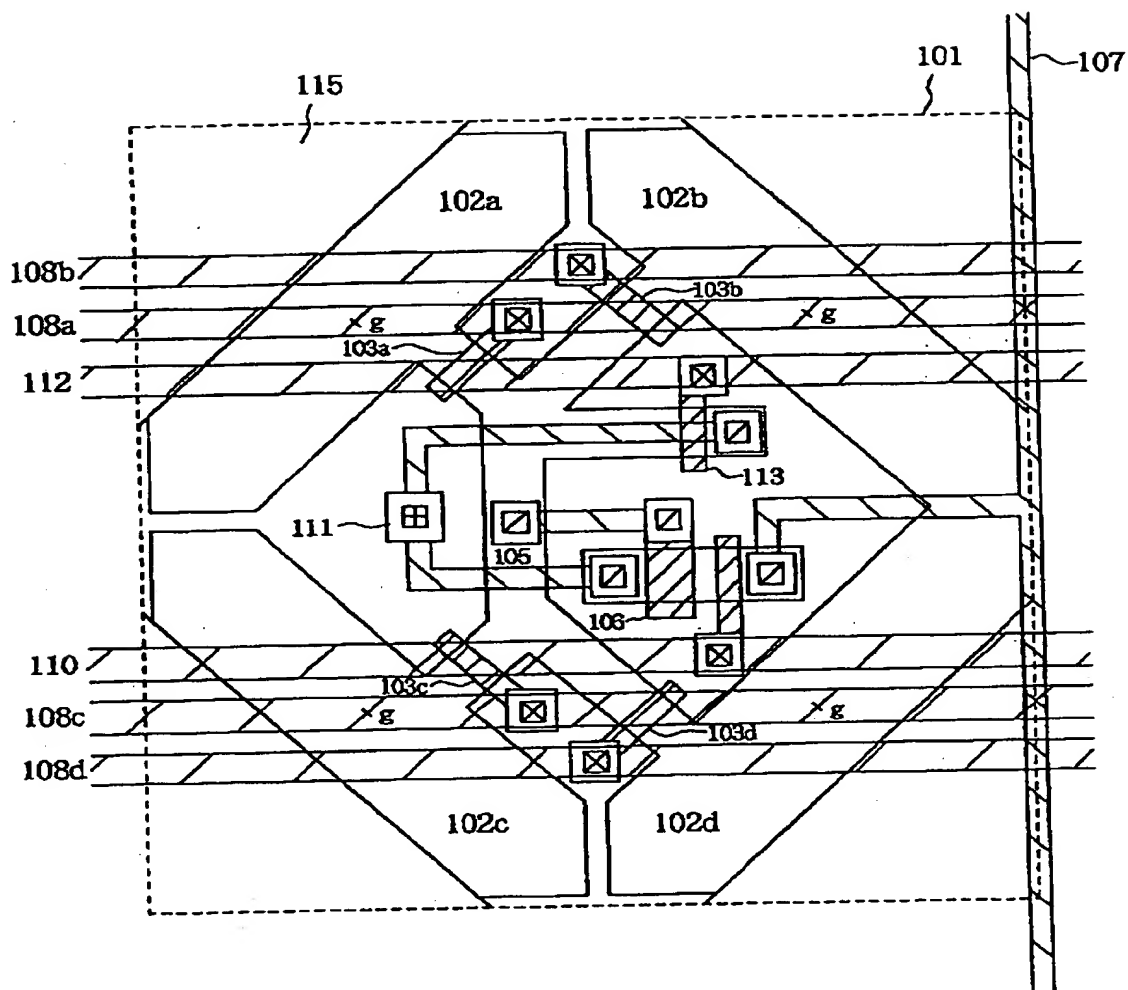
【図 12】



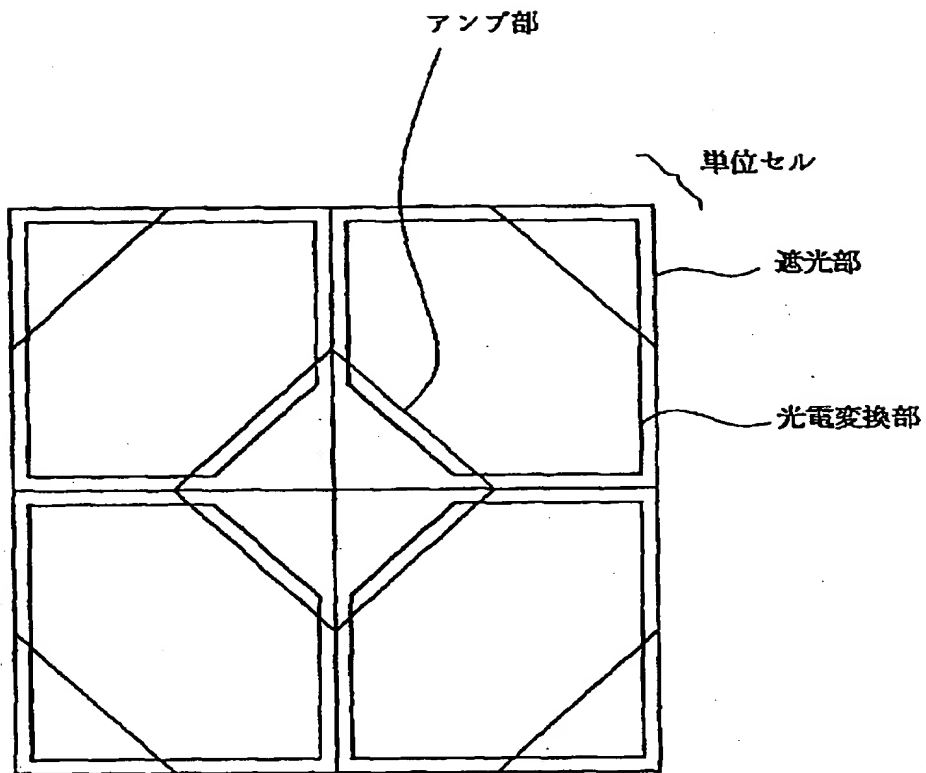
【図 13】



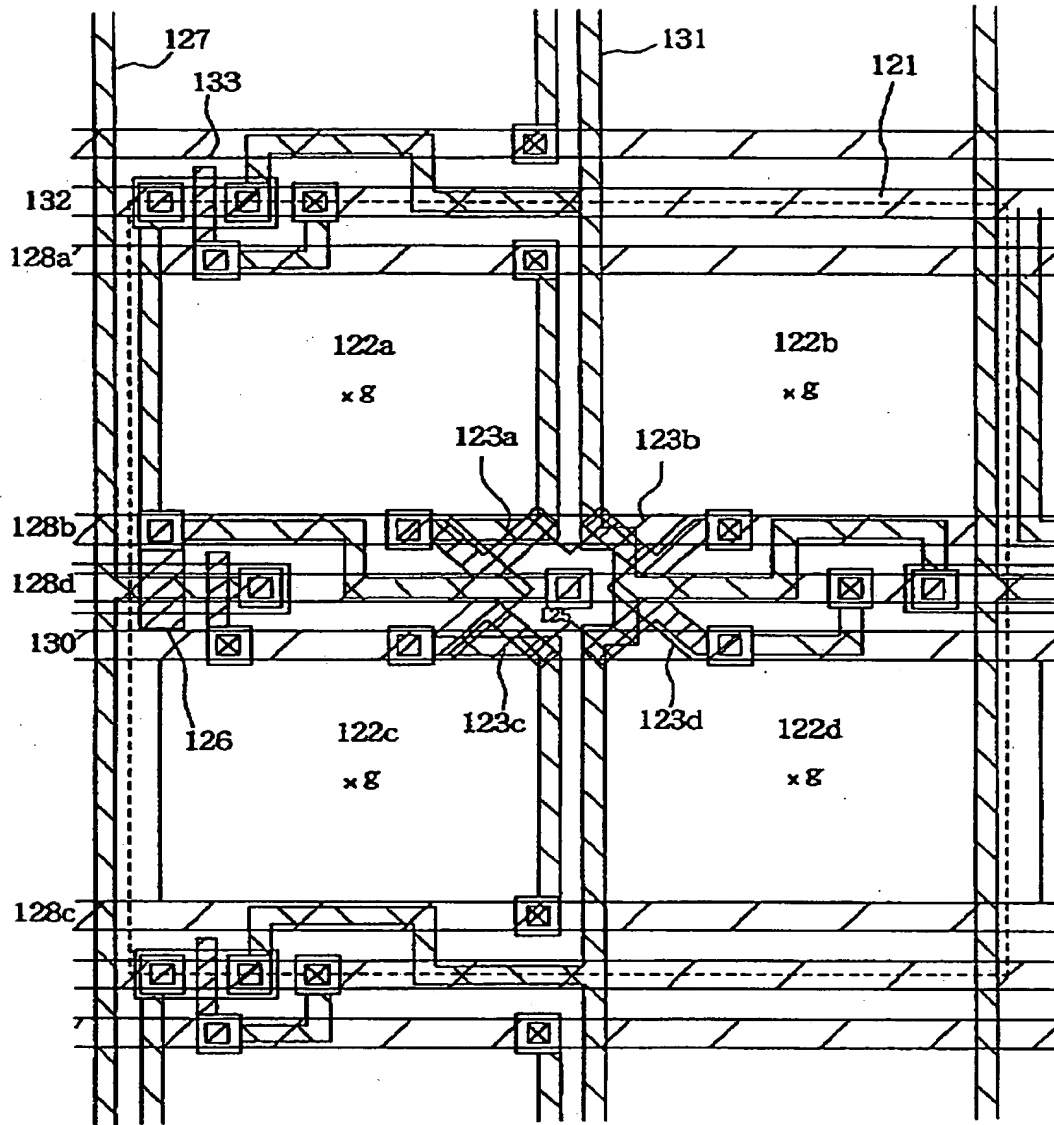
【図 14】



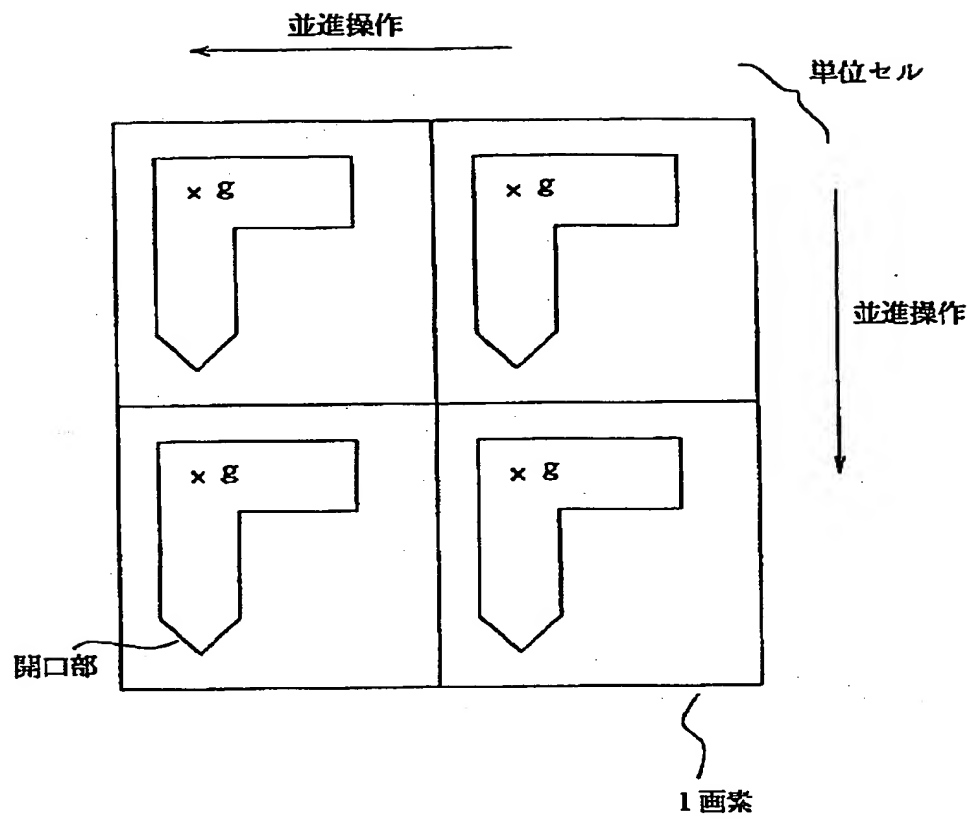
【図 15】



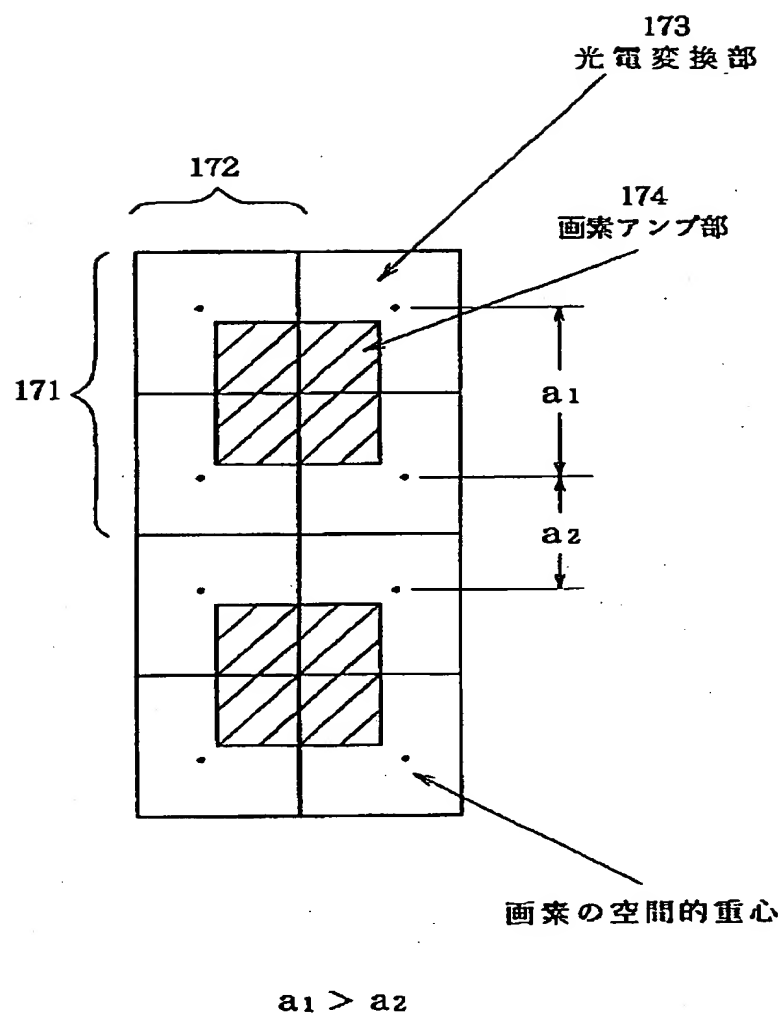
【図 16】



【図 1 7】



【図 18】



【書類名】 要約書

【要約】

【課題】 チップ面積を小さく、コストダウンを図る。

【解決手段】 複数色の信号を複数の画素から読み出す手段 11 と、複数色の信号を色毎に加算し、線順次で出力させる駆動手段 17 とを有する。

【選択図】 図 10

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号

氏 名 キヤノン株式会社